

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 2 9 8 8 9 1

(43) 公開日 平成 5 年 (1993) 11 月 12 日

(51) Int. Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 15/04

A 6741 - 5 L

15/00

E 6741 - 5 L

審査請求 未請求 請求項の数 4

(全 1 9 頁)

(21) 出願番号 特願平 4 - 97669

(22) 出願日 平成 4 年 (1992) 4 月 17 日

特許法第 30 条第 1 項適用申請有り 1991 年 11 月 22 日 社
団法人電子情報通信学会発行の「電子情報通信学会技術
研究報告」に発表

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 山形 整人

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機株
式会社エル・エス・アイ研究所内

(72) 発明者 三原 雅章

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機株
式会社エル・エス・アイ研究所内

(72) 発明者 濱本 武史

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機株
式会社エル・エス・アイ研究所内

(74) 代理人 弁理士 深見 久郎 (外 3 名)

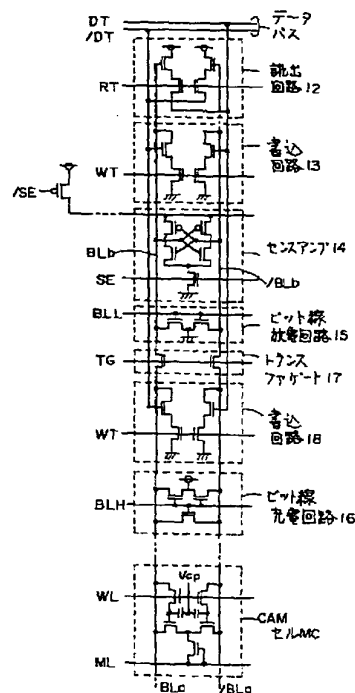
最終頁に続く

(54) 【発明の名称】 ダイナミック型連想メモリ装置

(57) 【要約】

【構成】 ダイナミック型連想メモリを実現するための
ビット線制御回路が開示される。ビット線制御回路は、
データ線対 DT, /DT に接続された読出回路 12 およ
び第 1 の書込回路 13 と、センスアンプ 14 と、ビット
線放電回路 15 と、ビット線充電回路 16 と、トランス
ファグレート回路 17 と、第 2 の書込回路 18 とを含む。
ビット線制御回路は、ビット線 BL a, /BL a を介し
て CAM セルアレイに接続される。

【効果】 ダイナミック型連想メモリにおいて必要な書
込、読出、リフレッシュおよび一致検索などの様々な動
作が、簡単な回路構成により簡単なタイミング制御の下
で実現され得る。



【特許請求の範囲】

【請求項1】 行および列に配設された複数のダイナミック型連想メモリセルと、

各々が対応する1つの列内の連想メモリセルに接続された複数のビット線対と、

前記複数のビット線対にそれぞれ接続された複数のデータ線対と、

各々が対応する1つの行内のメモリセルに接続された複数のワード線と、

各々が対応する1つの行内のメモリセルに接続された複数の一致検出線と、

各々が対応する1つのビット線対に接続され、対応する1つのデータ線対上の信号に応答して、前記対応する1つのビット線対を駆動する複数のビット線対駆動手段と、

各々が対応する1つのビット線対に接続され、センスアンプ活性化信号に応答して、前記対応する1つのビット線対上のデータ信号を増幅する複数のセンスアンプ手段と、

各々が対応する1つのビット線対に接続され、前記対応する1つのビット線対上の信号に応答して、対応する1つのデータ線対を駆動する複数のデータ線対駆動手段とを含む、ダイナミック型連想メモリ装置。

【請求項2】 行および列に配設された複数の連想メモリセルと、

各々が対応する1つの列内の連想メモリセルに接続された複数のビット線対と、

各々が対応する1つの行内の連想メモリセルに接続された複数の一致検出線と、

各々が対応する1つのビット線対に接続され、与えられた比較データ信号に応答して、前記対応する1つのビット線対を駆動する複数のビット線対駆動手段と、

アドレス信号に応答して、前記複数の一致検出線のうちの1本を選択的に予め定められた電位に充電する一致検出線充電手段とを含み、

各前記複数の連想メモリセルは、

データ信号をストアするための容量手段と、

対応する1つのビット線対を介して与えられた前記比較データ信号を前記容量手段によってストアされたデータ信号と比較し、対応する1本の一致検出線の電位を変化させる比較手段とを備える、ダイナミック型連想メモリ装置。

【請求項3】 行および列に配設された複数の連想メモリセルと、

各々が対応する1つの列内の連想メモリセルに接続された複数のビット線対と、

各々が対応する1つの行内の連想メモリセルに接続された複数のワード線と、

各々が対応する1つの行内の連想メモリセルに接続された複数の一致検出線と、

各々が対応する1つのビット線対に接続され、前記対応する1つのビット線対上のデータ信号を増幅する複数の増幅器手段とを含み、

各前記複数の連想メモリセルは、

データ信号をストアするための容量手段と、

対応する1本のワード線上の信号に応答して、対応する1つのビット線対上のデータ信号を前記容量手段に与える第1のスイッチング手段と、

対応する1本の一致検出線上の信号に応答して、前記容量手段によってストアされたデータ信号を前記対応する1つのビット線対に与える第2のスイッチング手段とを備え、

リフレッシュ命令信号に応答して、アドレス信号によって選択された1本の一致検出線、増幅器手段およびアドレス信号によって選択された1本のワード線をこの順序で活性化させるリフレッシュ制御手段を含む、ダイナミック型連想メモリ装置。

【請求項4】 行および列に配設された複数のダイナミック型連想メモリセルと、

各々が対応する1つの列内の連想メモリセルに接続された複数のビット線対と、

前記複数のビット線対にそれぞれ接続された複数のデータ線対と、

各々が対応する1つの行内のメモリセルに接続された複数のワード線と、

各々が対応する1つの行内のメモリセルに接続された複数の一致検出線と、

各々が対応する1つのビット線対に接続され、対応する1つのデータ線対上の信号に応答して、前記対応する1つのビット線対を駆動する複数のビット線対駆動手段と、

各々が対応する1つのビット線対に接続され、センスアンプ活性化信号に応答して、前記対応する1つのビット線対上のデータ信号を増幅する複数のセンスアンプ手段と、

各々が対応する1つのビット線対に接続され、前記対応する1つのビット線対上の信号に応答して、対応する1つのデータ線対を駆動する複数のデータ線対駆動手段とを含み、

前記複数のビット線対は、冗長用途のための予め定められた冗長ビット線対を含み、

前記冗長ビット線対に接続され、通常アクセス状態において、前記冗長ビット線対に接続されたメモリセルへのアクセスを不能化する冗長アクセス不能化手段と、

前記冗長ビット線対を除き、各々が対応する1つのビット線対に接続され、欠陥が発生したとき、前記対応する1つのビット線対に接続されたメモリセルへのアクセスを選択的に不能化する複数の通常アクセス不能化手段と、

欠陥が発生したとき、前記冗長不能化手段による不能化

作用を解除する冗長不能化解除手段とを含む、ダイナミック型連想メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、一般に連想メモリ装置に関し、特に、ダイナミック型連想メモリセルを用いた連想メモリ装置に関する。

【0002】

【従来の技術】 近年、大量のデータについて検索処理を高速に行なう要求が増大している。大量のデータのための検索処理に適した機能メモリとして、従来から Content Addressable Memory (以下「CAM」という) と呼ばれる連想メモリが知られている。CAMは、与えられた検索データと記憶されているデータとの間の一致を検出し、一致が検出された記憶データのアドレス(「マッチアドレス」と呼ばれる)を出力する。

【0003】 従来から、CAMとして、ビットシリアル型CAMや、完全並列型CAMなどが知られる。ビットシリアル型CAMは、検索データと記憶データとの比較を1ビットごとに行なう。完全並列型CAMは、検索データと記憶データとの比較を全ビットについて並列に行なう。したがって、完全並列型CAMは、最も高速に一致検索動作を実行することができる。すなわち、完全並列型CAMは、従来のソフトウェアによる一致検索処理と比較して、数100倍の速度で検索処理を実行することができる。したがって、完全並列型CAMは、人工知能やデータベースシステムなど、一致検索動作を頻繁に行なう必要のある様々な分野に応用され得る。

【0004】 しかしながら、現実的な大きな記憶容量を備えた完全並列型CAMを実現するためには、いくつかの技術的課題が残されている。技術的課題の1つとして、半導体基板上のメモリセルの占有領域の減少が難しい点が挙げられる。すなわち、完全並列型CAMでは、与えられた検索データと記憶データとの間で、すべてのビットについて並列に一致検索動作が行なわれるので、各CAMセル(または連想メモリセル)が、データ記憶回路と一致検出回路とを備えている必要がある。

【0005】 スタティック型CAMは、データ記憶回路としてスタティックなラッチ回路を備え、一致検出回路としてEXCLUSIVE NOR回路を備えているので、1つのCAMが占める半導体基板上の面積が大きなものとなっていた。したがって、これまでに報告された高集積CAMの記憶容量は、せいぜい20kbitにとどまっている。CAMセルの半導体基板上の占有面積を減少させるため、スタティック型CAMセルに代えて、ダイナミック型CAMセルを用いることが一般に好ましい。以下の記載では、従来から知られているダイナミック型CAMについて説明する。

【0006】 まず、CAMにおける検索動作について説

明する。図22は、CAMにおける検索動作を説明するための概念図である。説明を簡単化するため、図22では、10ワード×8ビット構成のCAMセルアレイ4が示される。図22を参照して、このCAMは、CAMセルアレイ4と、CAMセルアレイ4に検索データを与える検索データレジスタ2と、検索結果を示すマッチフラグを保持するマッチフラグレジスタ5とプライオリティエンコーダ6とを含む。

【0007】 たとえば、メモリセルアレイ4が図22に示した10ワードのデータを記憶しているものと仮定する。これに加えて、検索データレジスタ2が、検索データ「1011XXXX」をメモリセルアレイ4に与えるものと仮定する。各「X」は、検索データにおける対応するビットがマスクされていることを示す。すなわち、この例では検索データの下位の4ビットがマスクされている。したがって、マスクされた下位の4ビットのデータは、一致検出結果に影響を与えない。

【0008】 したがって、与えられた検索データと第3番目、第6番目および第10番目の記憶データとの間で一致が検出され、マッチフラグレジスタ5内の対応する位置にマッチフラグ「0」がそれぞれセットされる。マッチフラグは、さらに、プライオリティエンコーダ6に与えられ、この例では、第3番目、第6番目および第10番目のワードのうち最も優先順位の高いワード、すなわちこの例では最も低いアドレスを有する第3番目のワードが選択され、そのアドレス「2」がマッチアドレスとして出力される。上記の優先順位は、予め定められているのであるが、任意に決定され得ることが指摘される。

【0009】 図23は、ダイナミック型CAMセルの回路図である。図23に示した回路は、Proceedings of CICC '91, pp. 10-13において開示されている。図23を参照して、ダイナミック型CAMセルは、データ信号電荷をストアするためのキャパシタ36、37と、データ書込のためのNMOSトランジスタ30、31と、EXCLUSIVE NOR回路を構成するNMOSトランジスタ32、33と、ダイオードとして働くNMOSトランジスタ34とを含む。データ信号電荷は、キャパシタ36および37とトランジスタ32および33のゲート容量とによってストアされる。キャパシタ36および37の一方電極は、セルプレート電圧 V_{cp} ($=V_{cc}/2$) が与えられる。トランジスタ30および31のゲートは、ワード線WLに接続される。トランジスタ30および32の一方電極は、ビット線BLに接続される。トランジスタ31および33の一方電極はビット線/BLに接続される。トランジスタ34の一方電極およびゲートは、マッチ線MLに接続される。

【0010】 図24は、ダイナミック型CAMセルにおける書込および読出動作を説明するための回路図であ

る。また、図25は、一致検出動作を説明するための回路図である。図24および図25を参照して、以下にダイナミック型CAMセルの動作について説明する。

【0011】図24(a)を参照して、書込動作は次のように行なわれる。まず、書込まれるべきデータ信号に
10 応答して、ビット線BL、/BLが互いに反転された電位にもたらされる。ワード線WLが活性化されるので、ビット線BL、/BLの電位がトランジスタ30、31を介してキャパシタ36、37にそれぞれ与えられる。ワード線WLが低レベルになり、トランジスタ30および31がオフするので、データ信号電荷がキャパシタ36および37によって保持される。書込動作中は、ラッチ線MLの電位は低レベルに維持される。

【0012】図24(b)を参照して、読出動作は次のように行なわれる。最初に、ビット線対BL、/BLが放電され、マッチ線MLに高レベルの電位が与えられる。たとえば、CAMセルが図24(b)に示したデータ信号をストアしているものと仮定すると、トランジスタ32がオンし、一方トランジスタ33がオフする。したがって、ビット線BLがトランジスタ32および34
20 を介してマッチ線MLに接続されるとになり、ビット線BLの電位が高レベルになる。一方、ビット線/BLの電位は低レベルに保たれる。上記の読出動作中は、ワード線WLは活性化されない。

【0013】図25(a)を参照して、一致検出動作は次のように行なわれる。最初に、ビット線BL、/BLおよびマッチ線MLは、予め高レベルの電位に充電されている。一例として、図25(a)に示すような記憶データがCAMセル内にストアされ、かつ検索データが与えられるものと仮定する。すなわち、この場合では記憶
30 データと検索データとの間の一致が検出されるので、いずれのトランジスタ32または33もオンせず、マッチ線MLの電位は高レベルのまま残される。

【0014】これに対し、逆の検索データ信号がビット線BL、/BLが与えられたとき、検索データと記憶データとの間で不一致が検出される。すなわち、図25(b)に示されるように、トランジスタ32がオンし、トランジスタ33がオフする。したがって、マッチ線MLは、トランジスタ32および34を介して放電され、その結果低レベルになる。このように、検索データ信号
40 をビット線BL、/BLに与えた後、マッチ線MLの電位の変化を検出することにより、検索データと記憶データとの間の「一致」または「不一致」が検出され得る。

【0015】

【発明が解決しようとする課題】従来のスタティック型CAMセルは、図示していないが、データ記憶のためにラッチ回路が用いられている。一方、ダイナミック型CAMセルは、図23に示すようにデータ記憶のための2つのキャパシタ36および37が用いられている。ラッチ回路に代えてデータ記憶のための2つのキャパシタ3
50

6および37を用いることにより、ダイナミック型CAMセルは、スタティック型CAMセルと比較して、必要な素子の数が減少され、したがってCAMの高集積化に適している。

【0016】しかしながら、図23に示すようなダイナミック型CAMセルの回路は従来から知られてはいるが、このようなダイナミック型CAMセルにアクセスするのに必要な回路は未だ提案されていなかった。特に、データ記憶のために2つのキャパシタ36、37が用いられているので、ラッチ回路を用いているスタティック型CAMセルとは異なった回路が必要となる。

【0017】たとえば、データ信号を記憶している2つのキャパシタ36、37からの電荷のリークによって、ストアされたデータが失われるのを防ぐため、周期的なリフレッシュ動作が必要となる。したがって、スタティック型CAMには存在していないリフレッシュ回路が必要となるのであるが、具体的にどのような回路がダイナミック型CAMのために適しているのかは知られていなかった。特に、ダイナミック型CAMは、従来から知られる一般のダイナミック型RAMと比較して、一致検出動作など複雑な動作を行なうので、ダイナミック型CAMセルの周辺回路を単純化された回路構成で実現するのが一般に難しかった。

【0018】さらには、CAMの高集積化が進むにつれて予想される製造における歩留りの向上も考慮に入れる必要がある。すなわち、従来からダイナミック型RAMにおける冗長回路は知られているが、ダイナミック型CAMにおける冗長用途のための現実的な回路構成は知られていなかった。したがって、近い将来におけるCAMの高集積化に伴う歩留りの低下を防ぐため、現実的かつ有効な冗長回路が望まれていた。

【0019】この発明は、上記のような課題を解決するためになされたもので、ダイナミック型連想メモリ装置を実現するための単純化された回路構成を提供することを目的とする。

【0020】この発明のもう1つの目的は、ダイナミック型連想メモリ装置の製造における歩留りを改善するための冗長回路を提供することである。

【0021】

【課題を解決するための手段】請求項1の発明に係るダイナミック型連想メモリ装置は、行および列に配設された複数のダイナミック型連想メモリセルと、各々が対応する1つの列内の連想メモリセルに接続された複数のビット線対と、複数のビット線対にそれぞれ接続された複数のデータ線対と、各々が対応する1つの行内の連想メモリセルに接続された複数のワード線と、各々が対応する1つの行内の連想メモリセルに接続された複数の一致検出線と、各々が対応する1つのビット線対に接続され、対応する1つのデータ線対上の信号に
40 応答して、対応する1つのビット線対を駆動する複数のビット線対駆

動手段と、各々が対応する1つのビット線対に接続され、センスアンプ活性化信号に応答して、対応する1つのビット線対上のデータ信号を増幅する複数のセンスアンプ手段と、各々が対応する1つのビット線対に接続され、対応する1つのビット線対上の信号に応答して、対応する1つのデータ線対を駆動する複数のデータ線対駆動手段とを含む。

【0022】請求項2の発明に係るダイナミック型連想メモリ装置は、行および列に配設された複数の連想メモリセルと、各々が対応する1つの列内の連想メモリセルに接続された複数のビット線対と、各々が対応する1つの行内の連想メモリセルに接続された複数の一致検出線と、各々が対応する1つのビット線対に接続され、与えられた比較データ信号に応答して、対応する1つのビット線対を駆動する複数のビット線対駆動手段と、アドレス信号に応答して、複数の一致検出線のうちの1本を選択的に予め定められた電位に充電する一致検出線充電手段とを含む。各連想メモリセルは、データ信号をストアするための容量手段と、対応する1つのビット線対を介して与えられた比較データ信号を容量手段によってストアされたデータ信号と比較し、対応する1本の一致検出線の電位を変化させる比較手段とを備える。

【0023】請求項3の発明に係るダイナミック型連想メモリ装置は、行および列に配設された複数の連想メモリセルと、各々が対応する1つの列内の連想メモリセルに接続された複数のビット線対と、各々が対応する1つの行内の連想メモリセルに接続された複数のワード線と、各々が対応する1つの行内の連想メモリセル内に接続された複数の一致検出線と、各々が対応する1つのビット線対に接続され、対応する1つのビット線対上のデータ信号を増幅する複数の増幅器手段とを含む。各連想メモリセルは、データ信号をストアするための容量手段と、対応する1本のワード線上の信号に応答して、対応する1つのビット線対上のデータ信号を容量手段に与える第1のスイッチング手段と、対応する1本の一致検出線上の信号に応答して、容量手段によってストアされたデータ信号を対応する1つのビット線対に与える第2のスイッチング手段とを備える。このダイナミック型連想メモリ装置は、さらに、リフレッシュ命令信号に応答して、アドレス信号によって選択された1本の一致検出線、増幅器手段およびアドレス信号によって選択された1本のワード線をこの順序で活性化させるリフレッシュ制御手段を含む。

【0024】請求項4の発明に係るダイナミック型連想メモリ装置は、行および列に配設された複数のダイナミック型連想メモリセルと、各々が対応する1つの列内の連想メモリセルに接続された複数のビット線対と、複数のビット線対にそれぞれ接続された複数のデータ線対と、各々が対応する1つの行内の連想メモリセルに接続された複数のワード線と、各々が対応する1つの行内の

連想メモリセルに接続された複数の一致検出線と、各々が対応する1つのビット線対に接続され、対応する1つのデータ線対上の信号に応答して、対応する1つのビット線対を駆動する複数のビット線対駆動手段と、各々が対応する1つのビット線対に接続され、センスアンプ活性化信号に応答して、対応する1つのビット線対上のデータ信号を増幅する複数のセンスアンプ手段と、各々が対応する1つのビット線対に接続され、対応する1つのビット線対上の信号に応答して、対応する1つのデータ線対を駆動する複数のデータ線対駆動手段とを含む。複数のビット線対は、冗長用途のための予め定められた冗長ビット線対を含んでいる。このダイナミック型連想メモリ装置は、さらに、冗長ビット線対に接続され、通常アクセス状態において、冗長ビット線対に接続されたメモリセルへのアクセスを不能化する冗長アクセス不能化手段と、冗長ビット線対を除き、各々が対応する1つのビット線対に接続され、欠陥が発生したとき、対応する1つのビット線対に接続されたメモリセルへのアクセスを選択的に不能化する複数の通常アクセス不能化手段と、欠陥が発生したとき、冗長不能化手段による不能化作用を解除する冗長不能化解除手段とを含む。

【0025】

【作用】請求項1の発明におけるダイナミック型連想メモリ装置では、複数のビット線対駆動手段、複数のセンスアンプ手段および複数のデータ線対駆動手段が複数のビット線対にそれぞれ接続されているので、ダイナミック型連想メモリ装置において必要な読出、書込およびリフレッシュ動作を簡単な回路構成で実現することができる。

【0026】請求項2の発明におけるダイナミック型連想メモリ装置では、複数のビット線対駆動手段が複数のビット線対にそれぞれ接続され、アドレス信号に応答して、複数の一致検出線のうちの1本を選択的に充電する一致検出線充電手段が設けられている。したがって、ダイナミック型連想メモリ装置において必要な一致検出動作が、簡単な回路構成により実現され得る。

【0027】請求項3の発明におけるダイナミック型連想メモリ装置では、複数の増幅器手段が複数のビット線対にそれぞれ接続され、リフレッシュ命令信号に応答して、一致検出線、増幅器手段およびワード線をこの順序で活性化させるリフレッシュ制御手段が設けられている。したがって、ダイナミック型連想メモリ装置において必要となるリフレッシュ動作が、簡単な回路構成により実現され得る。

【0028】請求項4の発明におけるダイナミック型連想メモリ装置では、通常アクセス状態において、冗長ビット線対に接続されたメモリセルへのアクセスを不能化する冗長アクセス不能化手段と、欠陥が発生したとき、冗長アクセス不能化手段による不能化作用を解除する冗長不能化解除手段とを設けたので、ダイナミック型連想

メモリ装置の製造における歩留りを改善することができる。

【0029】

【実施例】図1は、この発明の一実施例を示すダイナミック型CAMのブロック図である。図1を参照して、このダイナミック型CAM100は、mワード×nビットの回路構成を有するCAMセルアレイ4と、CAMセルアレイ4内のビット線（図示せず）の電位を制御するビット線制御回路8とを含む。アドレスデコーダ7は、外部アドレスをデコードし、図示しないm本のワード線のうちの1本を選択的に活性化する。マッチフラグレジスタ5は、CAMセルアレイ4から出力される検索結果を示すマッチフラグを保持する。プライオリティエンコーダ6は、マッチフラグレジスタ5から出力されるマッチフラグを受け、予め定められた優先順位に従って決定されるマッチアドレスを出力する。

【0030】このダイナミック型CAM100は、さらに、データの入出力のための書込／読出回路1と、検索データを一次的に保持するための検索データレジスタ2と、マスクデータレジスタ3と、スイッチ回路10と、データドライバ／アンプ9と、外部から与えられる命令コードをデコードし、様々なクロック信号を発生するクロック信号発生器20とを含む。以下に記載する回路動作において必要な制御信号またはクロック信号RT、WT、SE、BLH、BLL、TG等は、命令コードをデコードすることによってクロック信号発生器20が発生する。図1に示した検索データレジスタ2、CAMセルアレイ4、マッチフラグレジスタ5およびプライオリティエンコーダ6は、図22に示した回路構成と対応しており、同様の機能を有していることが指摘される。

【0031】検索動作において、まず、nビットの検索データが書込／読出回路1を介して検索データレジスタ2に与えられる。検索データレジスタ2において保持された検索データは、マスクデータレジスタ3、スイッチ回路10、データドライバ／アンプ9およびビット線制御回路8を介してCAMセルアレイ4に与えられる。CAMセルアレイ4において一致検索動作が行なわれ、一致検索結果を示すマッチフラグがマッチフラグレジスタ5に与えられる。プライオリティエンコーダ6は、マッチフラグレジスタ5を介してマッチフラグを受ける。複数のワードを示すマッチフラグが与えられたとき、プライオリティエンコーダ6は、予め定められた優先順位に従ってそのうちの1つのワードを決定する。決定されたワードのアドレスは、プライオリティエンコーダ6において符号化され、マッチアドレスとして出力される。

【0032】プライオリティアドレスデコーダ6から出力されるマッチアドレスは、必要に応じアドレスデコーダ7にも与えられる。これによって、CAMセルアレイ4内の一致が検出されたワードのCAMセルに対して、データ書込または読出が行なわれ得る。マスクデータレ

ジスタは、nビットの検索データのうちの一部を必要に応じマスクする。また、場合によっては、マスクデータレジスタ3は、nビットのデータのうち所望のビットだけを書換えるためのマスクコントロールビットを保持する。

【0033】図2は、図1に示したCAMセルアレイ4およびビット線制御回路8の回路ブロック図である。図2を参照して、CAMセルアレイ4は、行および列に配設された複数のダイナミック型CAMセルMCと、各々が対応する1つの列内のCAMセルに接続された複数のビット線対BL1、／BL1ないしBLn、／BLnと、各々が対応する1つの行内のCAMセルに接続された複数のワード線WL1ないしWLmと、各々が対応する1つの行内のCAMセルに接続された複数のマッチ線ML1ないしMLmとを含む。各CAMセルは、図23に示した回路構成を有している。マッチ線ML1ないしMLmは、図1に示したマッチフラグレジスタ5およびマッチ線制御回路11に接続される。

【0034】ビット線制御回路8は、各々が対応する1つのビット線対BL1、／BL1ないしBLn、／BLnに接続されたn個のビット線制御回路81ないし8nを含む。ビット線制御回路81ないし8nは、データ線対DT1、／DT1ないしDTn、／DTnにそれぞれ接続される。以下に、ビット線制御回路81ないし8nのより詳細について説明する。

【0035】図3は、図2に示した1つのビット線制御回路の回路図である。図3を参照して、ビット線制御回路は、1つのビット線対BL、／BLにそれぞれ接続された読出回路12、書込回路13、センスアンプ14、ビット線放電回路15およびビット線充電回路16を含む。参考のために、ビット線対BL、／BLに接続された1つのCAMセルが示される。読出回路12および書込回路13は、データバスを構成するデータ線対DT、／DTに接続される。

【0036】読出回路12は、読出能動化信号RTにตอบสนองして能動化され、かつビット線対BL、／BL上の信号にตอบสนองしてデータ線対DT、／DTを駆動する。一方、書込回路13は、書込能動化信号WTにตอบสนองして能動化され、かつデータ線対DT、／DT上の信号にตอบสนองしてビット線対BL、／BLを駆動する。

【0037】センスアンプ14は、センスアンプ活性化信号SEおよび／SEにตอบสนองして活性化され、かつビット線BL、／BL間の電位差を増幅する。ビット線放電回路15は、放電制御信号BLLにตอบสนองしてビット線対BL、／BLを放電する。一方、ビット線充電回路16は、充電制御信号BLHにตอบสนองしてビット線対BL、／BLを充電する。

【0038】以下に、タイミングチャートを参照して、図3に示したビット線制御回路の動作について説明する。図4を参照して、CAMセルへの書込動作は次のよ

うに行なわれる。最初に、スタンバイ状態において、図 1 に示したマッチ線制御回路 11 は、マッチ線 ML の電位を高レベルにもたらし。これに加えて、ビット線充電回路 16 が高レベルの信号 BLH に応答して活性化され、ビット線対 BL, /BL が高レベルに充電される。

【0039】時刻 T0 において、マッチ線制御回路 11 がすべてのマッチ線 ML の電位を低レベルにし、ビット線充電回路 16 の活性化が信号 BLH の立下がりに応答して終了される。さらには、ビット線放電回路 15 が信号 BL 上の立上がりに応答して能動化され、ビット線対 BL, /BL が放電される。

【0040】時刻 T1 において、マッチ線制御回路 11 は、外部アドレス信号により選択された 1 本のマッチ線 ML を活性化させる。マッチ線 ML の活性化に応答して、ビット線 BL または /BL 上に、ストアされていたデータ信号に基づく電位差が現われる。

【0041】時刻 T3 において、書込能動化信号 WT が活性化され、書込回路 13 が能動化される。書込回路 13 は、データ線対 DT, /DT 上の書込データ信号に応答して、ビット線対 BL, /BL を駆動する。すなわち、書込回路 13 は、書込まれるべきデータ信号に応答して、ビット線 BL および /BL のうちの一方を選択的にプルダウンする。

【0042】CAMセルにストアされていたデータ信号とデータ線 DT, /DT 上のデータ信号とが一致している場合では、時刻 T3 のあと、図 4 に示すように、ビット線 BL (DT=0) の電位はほとんど変化しない。他方、ストアされていたデータ信号と書込データ信号とが一致しない場合では、書込能動化信号 WT の活性化により形成された書込回路 13 内の放電経路を介してビット線対 BL, /BL が放電され、ビット線対 BL, /BL は接地電位にもたらされる。

【0043】時刻 T4 において、センスアンプ 14 がセンスアンプ活性化信号 SE および /SE に応答して活性化される。時刻 T4 までに、ビット線 BL, /BL のうちの一方が書込データ信号に応じて接地電位にもたらされているので、センスアンプ 14 の活性化の後、ビット線 BL, /BL 上には増幅された書込データ信号が与えられる。

【0044】時刻 T6 において、図 1 に示したアドレスデコーダ 7 が、外部アドレス信号によって選択されたワード線 WL を活性化するので、ビット線対 BL, /BL 上のデータ信号が CAMセル内に書込まれる。上記の書込動作中は、読出能動化信号 RT は低レベルに維持される。

【0045】図 5 を参照して、次に読出動作について説明する。読出動作において、データ線対 DT, /DT が接地電位に保持される。これにより、書込回路 13 は、書込能動化信号 WT の電位に関わらず能動化されないの

このことは、データ線対 DT, /DT を接地電位に保持したままで、図 4 に示した読出動作における場合と同様の制御信号を与えることにより、CAMセル内にストアされたデータの読出動作が行なわれ得ることを意味する。

【0046】したがって、図 5 に示すように、書込動作の場合と同様の制御信号 ML, WT および SE が与えられ、データ線対 DT, /DT が時刻 T6 の直前まで接地電位に保持される。時刻 T6 の直前においてデータ線対 DT, /DT が高インピーダンス状態 (Hi-Z) にもたらされた後、時刻 T6 において読出能動化信号 RT が活性化される。読出回路 12 は、ビット線対 BL, /BL 上の信号に応答して、データ線対 DT, /DT を駆動し、これにより、CAMセルにストアされていたデータ信号がデータ線対 DT, /DT 上に与えられたことになる。

【0047】次に、図 6 を参照して、リフレッシュ動作について説明する。リフレッシュ動作においても、データ線対 DT, /DT が接地電位に維持されたままで、図 4 に示した書込動作の場合と同様の制御信号 ML, WT, SE および WL が与えられる。したがって、ビット線対 BL, /BL 上に CAMセル内にストアされていたデータ信号が読出され、センスアンプ 14 によって増幅される。増幅されたデータ信号は、再び同じ CAMセルに書込まれる。

【0048】上記のリフレッシュ動作は、部分書込動作にも適用され得ることが指摘される。すなわち、1 つのワードを構成する n ビットのデータのうち、書換えられるべきでない、すなわち保持されるべきデータをストアしている CAMセルに接続されているデータ線対 DT, /DT を選択的に接地電位に保持した後、図 6 に示した制御信号が与えられる。接地電位に保持されたデータ線対 DT, /DT に接続されている CAMセルにストアされたデータ信号は、リフレッシュのみされ、異なったデータに書換えられない。他のビット対に接続された CAMセルは、それぞれのデータ線対上のデータ信号に応じて書換えられる。言い換えると、リフレッシュ動作は、n ビットのすべてがマスクされた状態での部分書込動作であると言える。

【0049】図 7 を参照して、次に一致検出動作について説明する。一致検出動作は、時刻 T1 における書込能動化信号 WT の活性化により開始される。信号 WT の立上がりに応答して、書込回路 13 が能動化される。書込回路は、データ線対 DT, /DT 上の検索データ信号に応答して、ビット線対 BL, /BL を駆動する。したがって、検索データ信号が、ビット線対 BL, /BL を介して CAMセルに伝えられる。CAMセルにおいて図 25 に示した一致検出動作が実行され、予め充電されていたマッチ線 ML の電位が、一致検出結果に応答して変化される。マッチ線 ML の電位は、時刻 T2 において図示

されない増幅回路によって増幅される。

【0050】一方、マスク検索動作が行なわれる場合には、検索動作において考慮されるべきでないビットに対応するデータ線対が接地電位に維持される。これにより、書込回路13においてビット線BL、 \overline{BL} の放電経路が形成されず、マスクされた検索データのビット線対は、一致検索動作中高レベルに保たれる。したがって、マスクされた検索データ信号が与えられたCAMセルは、ストアされているデータ信号に依存することなく、マッチ線MLを放電することがない。すなわち、マスクされたビットに関しては、CAMセル内にどのようなデータ信号がストアされていても、「一致」が検出されたものとして扱われる。

【0051】図4ないし図7のタイミングチャートからわかるように、ダイナミック型CAMにおける書込、読出、リフレッシュおよび一致検出動作のいずれにおいても、ほとんど同様の制御信号が与えられることが指摘される。これに加えて、マスク検索動作および部分書込動作においても、ほとんど同じ制御信号が用いられる。言い換えると、ダイナミック型CAMにおける様々な動作を実行するのに、特別のタイミング制御が必要とならず、図3に示したビット線制御回路を用いることにより、現実的かつ有用なダイナミック型CAMが提供され得る。

【0052】図8は、この発明のもう1つの実施例を示すビット線制御回路の回路図である。図3に示した回路と比較すると、図8に示したビット線制御回路は、さらに、センスアンプ14による増幅動作を促進するためのトランスファゲート回路17を備えている。トランスファゲート回路17は、ビット線放電回路15とビット線充電回路16との間のビット線上に設けられる。センスアンプ14が活性化されるとき、トランスファゲート回路17は、低レベルの制御信号TGに応答して、オフする。これにより、CAMセルアレイに接続されたビット線BLa、 \overline{BLa} が、トランスファゲート回路17の作用によりセンスアンプ14から電氣的に切り離されるので、センスアンプ14により増幅されるべき負荷が減少され得る。したがって、センスアンプ14による高速の増幅が達成され得る。

【0053】図9ないし図12は、それぞれ、図8に示したビット線制御回路による書込動作、読出動作、リフレッシュ動作および一致検出動作をそれぞれ説明するためのタイミングチャートである。これらのタイミングチャートからわかるように、図8に示したビット線制御回路における基本的な動作は、図3に示したビット線制御回路と同様である。しかしながら、図4ないし図7に示したタイミングチャートと比較するとわかるように、図9ないし図12に示したタイミングチャートは、トランスファゲート回路17のための制御信号TGが新たに加えられる。

【0054】図9を参照して、書込動作において、トランスファゲート制御信号TGは、時刻T2およびT5の間の期間において低レベルになる。他の時間期間において、制御信号TGは高レベルであるので、他の時間期間において図8に示したビット線制御回路は図3に示したものと電氣的に等価である。図9に示されるように、時刻T1においてCAMセルにストアされていた電荷がビット線対BLa、 \overline{BLa} 上に与えられた後、時刻T2において制御信号TGが低レベルになる。トランスファゲート回路17がオフするので、センスアンプ14は、CAMセルアレイに接続されているビット線BLa、 \overline{BLa} から電氣的に切り離される。時刻T4においてセンスアンプ14が活性化された後、時刻T5において制御信号TGが立上げられる。したがって、センスアンプ14により十分に増幅された信号が、トランスファゲート回路17を介して、CAMセルアレイに接続されたビット線BLa、 \overline{BLa} に伝えられる。

【0055】図10に示した読出動作および図11に示したリフレッシュ動作においても、図9に示した書込動作の場合と同じタイミングT2およびT5で、制御信号TGが立下げられかつ立上げられる。したがって、これらの動作においても、センスアンプ14による高速の増幅が得られる。

【0056】一致検出動作では、図12に示されるように、制御信号TGは高レベルに保たれる。したがって、トランスファゲート回路17がオンし続け、図7に示した一致検出動作と実質的に同じ動作が行なわれる。

【0057】図13は、この発明のさらにもう1つの実施例を示すビット線制御回路の回路図である。図8に示したものの（第2実施例）と比較して、図13に示したビット線制御回路は、さらに、トランスファゲート回路17とビット線充電回路16との間のビット線BLa、 \overline{BLa} 上に第2の書込回路18を備えている。第1および第2の書込回路13および18は、共通に与えられる書込能動化信号WTにตอบสนองして能動化される。第2の書込回路18を追加することにより、一致検出動作において、データ線対DT、 \overline{DT} から与えられる検索データ信号を速やかにCAMセルアレイのビット線BLa、 \overline{BLa} に伝えることができる。すなわち、一致検出動作において、検索データ信号をトランスファゲート回路17を介さずにCAMセルアレイのビット線BLa、 \overline{BLa} に伝えることができるので、CAMセルアレイにおける一致検出動作が図8に示した場合よりも早期に開始され得る。

【0058】図14は、図13に示したビット線制御回路による書込動作および読出動作を説明するためのタイミングチャートである。書込動作および読出動作のいずれも、図14に示したタイミングチャートにより説明することができる。読出能動化信号RTは、書込動作において常に低レベルに保たれるが、一方、読出動作におい

て時刻T6およびT7の間の期間において高レベルになる。他のタイミング制御は、書込動作および読出動作において同じである。しかしながら、第2の書込回路18が追加されているので、ビット線における電位の変化の様相が異なっている。

【0059】図13に示したビット線制御回路によるリフレッシュ動作および一致検出動作は、図11および図12に示したタイミングチャートによりそれぞれ説明することができる。すでに指摘したように、図13に示したビット線制御回路において第2の書込回路18が追加されているので、データ線DT、/DTから与えられる検索データ信号がより高速に、CAMセルアレイに接続されたビット線BLa、/BLaに伝達され得る。すでに説明したすべてのタイミングチャートを比較するとわかるように、図3、図8または図13に示したいずれのビット線制御回路を用いる場合でも、ダイナミック型CAMのための書込、読出、リフレッシュおよび一致検出動作がほぼ同じタイミング制御により実行され得る。言い換えると、図3、図8または図13に示したビット線制御回路を用いることにより、一般には複雑な制御が必要となるであろうと予想されるかもしれないダイナミック型CAMにおいて必要な動作が、きわめて簡単なタイミング制御（すなわちほぼ同じタイミング制御）および簡単化された回路により実現され得る。

【0060】以下の記載では、図8および図13に示したビット線制御回路を用いたダイナミック型CAMにおける冗長回路構成について説明する。

【0061】図16は、この発明のさらにもう1つ実施例を示すダイナミック型CAMの回路ブロック図である。図16を参照して、ダイナミック型CAM100'は、合計16個のCAMブロック201ないし216を備えたCAMアレイ回路200を含む。各CAMブロック210ないし216は、36個の通常ビット線回路NBCと、1個の冗長ビット線回路RBCとを含む。各通常ビット線回路NBCは、対応する1つのデータ線対DT0、/DT0ないしDT35、/DT35に接続される。冗長ビット線回路RBCは、スペアデータ線対DTS、/DTSに接続される。

【0062】このダイナミック型CAM100'は、さらに、IO線対IO0、/IO0ないしIO35、/IO35に接続されたスイッチ回路10と、スイッチ回路10に接続されたデータドライバ/アンプ回路9と、データ線電位固定回路500ないし535および5Sと、冗長能動化回路60と、クロック信号発生器20とを含む。スイッチ回路10は、各々が対応するIO線対IO0、/IO0ないしIO35、/IO35に接続されたスイッチング回路SW0ないしSW35と、欠陥ラインプログラム回路400ないし435とを含む。各スイッチング回路SW0ないしSW35は、対応する欠陥ラインプログラム回路400ないし435から与えられるプ

ログラム信号NED0ないしNED35にตอบสนองして、通常のラインまたは冗長ラインを選択する。

【0063】通常のラインのためのデータ線電位固定回路500ないし535も、欠陥ラインプログラム回路400ないし435から与えられるプログラム信号NED0ないしNED35にตอบสนองしてそれぞれ動作される。たとえば、データ線DT0、/DT0に関連する回路に欠陥が存在するとき、欠陥ラインプログラム回路400におけるプログラミングにより、高レベルのプログラム信号NED0が出力される。データ線電位固定回路500内に設けられたPMOSTランジスタおよびNMOSTランジスタは、高レベルの信号NED0にตอบสนองしてオンするので、データ線DT0および/DT0がそれぞれ高レベルおよび低レベルにもたらされる。言い換えると、欠陥が存在するラインのデータ線DT0、/DT0の電位が固定される。一方、スイッチング回路SW0は、高レベルの信号NED0にตอบสนองして、冗長用データドライバ/アンプ回路9S側に接続される。

【0064】冗長ラインが使用されないとき、冗長用データ線電位固定回路5S内の2つのヒューズが、電源電位とデータ線DTS、接地電位とデータ線/DTSとの間にそれぞれ接続されている。したがって、冗長ラインが使用されないとき、データ線DTSおよび/DTSは、それぞれ電源電位および接地電位に固定されている。他方、冗長ラインが使用されるとき、冗長用データ線電位固定回路5S内の2つのヒューズが切断される。これにより、データ線対DTS、/DTSの電位の固定が解除され、データ線対DTS、/DTSは、冗長用データドライバ/アンプ回路9Sにより駆動される。

【0065】冗長能動化回路60は、欠陥ラインが存在するとき、言い換えると冗長ラインが使用されるとき、高レベルの冗長能動化信号SPAを発生する。クロック信号発生器20は、外部から与えられる命令コードをデコードし、以下に説明するCAMアレイ回路内の動作において必要な様々なタイミング制御信号を発生する。

【0066】各データドライバ/アンプ回路900ないし935は、データ書込動作において、対応するIO線対IO0、/IO0ないしIO35、/IO35から与えられるデータ信号を増幅し、増幅された信号をデータ線対DT0、/DT0ないしDT35、/DT35に与える。一方、各データドライバ/アンプ回路900ないし935は、データ読出動作において、対応するデータ線対DT0、/DT0ないしDT35、/DT35上のデータ信号を増幅し、増幅された信号を対応するIO線対に転送する。

【0067】図17は、図16に示した冗長能動化回路60の回路図である。図17を参照して、冗長能動化回路60は、CMOSインバータを構成するPMOSTランジスタ61およびNMOSTランジスタ62と、ランジスタ61と62との間に接続されたプログラミング

のためのヒューズ63と、ラッチ回路64と、インバータ65とを含む。トランジスタ61および62のゲートは、図16に示したクロック信号発生器20から与えられるリセット信号／RSTを受けるように接続される。インバータ65を介して冗長能動化信号SPAが出力される。

【0068】図18は、図16に示した1つの欠陥ラインプログラム回路（一例として400）の回路図である。冗長ラインプログラム回路400も、冗長能動化回路60と同じ回路構成を有する。インバータ48を介してプログラム信号NED0が出力される。

【0069】図15は、図17および図18に示した冗長能動化回路60および欠陥ラインプログラム回路400の動作を説明するためのタイミングチャートである。図15を参照して、次に動作について説明する。データ線対DT0、／DT0ないしDT35、／DT35に関連する回路のいずれにも欠陥が存在しないとき、言い換えると冗長回路が使用されないとき、冗長能動化回路60内のヒューズ63は接続状態で残される。したがって、トランジスタ61および62がCMOSインバータとして動作するので、冗長能動化回路60は、電源電位Vccの立上がりおよびリセット信号／RSTにตอบสนองして、図15において実線により示された冗長能動化信号SPAを出力する。これに対し、冗長回路が使用されるとき、ヒューズ63が切断される。したがって、冗長能動化回路60は、リセット信号／RSTにตอบสนองすることなく、図15において破線により示された信号SPAを出力する。

【0070】一方、図18に示した欠陥ラインプログラム回路400も同様に動作する。データ線対DT0、／DT0に関連する回路において欠陥が存在しないとき、ヒューズ46は接続状態で残される。したがって、欠陥ラインプログラム回路400は、電源電位Vccの立上がりおよびリセット信号／RSTにตอบสนองして、図15に示したプログラム信号NED0を出力する。これに対し、データ線DT0、／DT0に関連する回路において欠陥が存在するとき、ヒューズ46が切断される。したがって、欠陥ラインプログラム回路400は、リセット信号／RSTにตอบสนองすることなく、図15において破線により示されたプログラム信号NED0を出力する。

【0071】図19は、図16に示した1つの通常ビット線回路NBCおよび冗長ビット線回路RBCの回路図である。図19を参照して、通常ビット線回路NBCは、図8に示したビット線制御回路（第2実施例）を用いている。図19に示したビット線制御回路は、さらに、それぞれのビット線BLa、／BLa上に設けられた2つのヒューズ19を備えている。通常ビット線回路NBCは、対応するデータ線対DT、／DTに接続される。

【0072】冗長ビット線回路RBCも、図8に示した

ビット線制御回路を用いているのであるが、さらに、トランスファゲート回路17Sを追加的に制御するためのスイッチング回路20を備えている。冗長回路が使用されないとき、低レベルの冗長能動化信号SPAが与えられる。スイッチング回路20はこの信号SPAにตอบสนองしてオフし、かつ低レベルの制御信号をトランスファゲート回路17Sに与える。したがって、トランスファゲート回路17Sがオフするので、CAMセルアレイに接続されたビット線対BLS、／BLSは常に高レベル（電源電位）に維持される。これに対し、冗長回路が使用されるとき、高レベルの冗長能動化信号SPAが与えられる。スイッチング回路20は、信号SPAにตอบสนองしてオンするので、トランスファゲート制御信号TGがスイッチング回路20を介してトランスファゲート回路17Sに与えられる。

【0073】冗長用データ線電位固定回路5Sは、冗長回路が使用されないとき、冗長データ線DTS、／DTSをそれぞれ電源電位Vccおよび接地電位に固定する。他方、冗長回路が使用されるとき、回路5S内の2つのヒューズが切断され、冗長データ線DTS、／DTSの電位の固定が解除される。

【0074】通常ビット線回路NBCにおける2つのヒューズ19が切断されたとき、CAMセルアレイ側に接続されたビット線対BLa、／BLaは、常に高レベル（電源電位Vcc）に維持される。したがって、CAMセルアレイにおいて一致検出動作が行なわれるとき、欠陥が存在している通常ビット線回路NBCが検索結果に影響を与えるのが防がれる。

【0075】次に、動作について説明する。通常ビット線回路NBC内に欠陥が存在するとき、冗長ヒューズ19が切断される。したがって、CAMのスタンバイ状態において、ビット線充電回路16が活性化されなくても、書込回路13などにより放電経路が形成されないで、CAMセルアレイ側に接続されたビット線対BLa、／BLaは常に高レベル（電源電位Vcc）に維持される。したがって、一致検出動作において、欠陥が存在する通常ビット線回路NBCの作用によりマッチ線MLが放電されるのが防がれる。言い換えると、欠陥が存在する通常ビット線回路により、CAMセルアレイにおける検索結果が影響されない。

【0076】なお、通常ビット線回路NBCが接続されているデータ線対DT、／DTは、図16に示した対応するいずれかのデータ線電位固定回路500ないし535により、電源電位および接地電位にそれぞれ固定されているので、センスアンプ14の繰返される活性化により電力消費が増加されるのが防がれる。

【0077】一方、冗長ビット線回路RBCにおいて、冗長回路が使用されないとき、低レベルの冗長能動化信号SPAが与えられる。したがって、トランスファゲート回路17Sがオフするので、CAMセルアレイに接続

されている冗長ビット線BLS、/BLSは、冗長ビット線充電回路16Sの作用により常に電源電位に保たれる。したがって、冗長ビット線BLS、/BLSに接続されたCAMセルにより、検索結果が影響されるのが防がれる。

【0078】通常ビット線回路NBCにおける場合と同様に、冗長回路が使用されないとき、冗長データ線DTS、/DTSは、冗長データ線電位固定回路5Sの作用によりそれぞれ電源電位および接地電位に固定される。したがって、冗長用センサンプ14Sの繰返される活性化により電力消費が増加されるのが防がれる。

【0079】冗長回路が使用されるとき、高レベルの冗長能動化信号SPAが与えられるので、トランスファゲート回路17Sがオンする。したがって、冗長ビット線回路RBCは、欠陥が存在する通常ビット線回路に代わって、通常の動作を行なうことができる。言い換えると、欠陥が存在する通常のビット線回路が、冗長ビット線回路RBCにより等価的に置換される。

【0080】図20は、この発明のさらにもう1つの実施例を示す通常ビット線回路NBC' および冗長ビット線回路RBC' の回路図である。図20を参照して、通常ビット線回路NBC' および冗長ビット線回路RBC' は、図13に示したビット線制御回路(第3実施例)を用いている。図13に示したビット線制御回路に加えて、通常ビット線回路NBC' は、ビット線BLa、/BLa上に設けられたヒューズ19を備える。一方、冗長ビット線回路RBC' は、冗長能動化信号SPAにตอบสนองして動作するスイッチング回路21をさらに備える。スイッチング回路21は、高レベルの冗長能動化信号SPAが与えられたとき、トランスファゲート制御信号TGおよび書込能動化信号WTを、冗長トランスファゲート回路17Sおよび第2の冗長書込回路18Sにそれぞれ与える。図20に示した回路における基本的な動作は、図19に示した回路と同様であるので説明が省略される。

【0081】図21は、この発明のさらにもう1つの実施例を示すCAMアレイ回路のブロック図である。図16に示したCAMアレイ回路200は、各々が36個の通常ビット線回路NBCと1個の冗長ビット線回路RBCを備えたCAMブロック201ないし216を備えていた。図21に示したCAMアレイ回路200aは、各々が36個の通常ビット線回路NBCと2個の冗長ビット線回路RBC1、RBC2とを備えたCAMブロック201aないし216aを備える。CAMアレイ回路200aと同じ回路構成を有するCAMアレイ回路200bが設けられているので、CAMアレイ回路200' は、合計32個のCAMブロックを備えていることになる。

【0082】各CAMブロック、たとえば209aが2つの冗長ビット線回路RBC1およびRBC2を備えて

いるので、冗長データ線電位固定回路5S' は、冗長ビット線回路RBC1およびRBC2に接続された2つの冗長データ線対を固定するための4個のヒューズを備える。図21に示したCAMアレイ回路200' における基本的な動作は、図16に示したCAMアレイ回路200の場合と同様であるので説明が省略される。

【0083】以上に説明したように、図3、図8および図13に示したビット線制御回路を用いることにより、一般には複雑な制御が必要となるであろうと予想されるかもしれないダイナミック型CAMにおいて必要な動作が、極めて簡単な回路によりかつ簡単なタイミング制御により実現され得る。さらには、これらのビット線制御回路を、たとえば図19および図20に示した態様で用いることにより、ダイナミック型CAMのための有用な冗長回路が実現され得る。その結果、大容量のデータ検索を実行するのに必要なダイナミック型CAMが、製造における歩留まりの向上をも考慮にいれて、提供できたことになる。

【0084】

【発明の効果】以上のように、この発明によれば、ダイナミック型連想メモリ装置を実現するための簡単でかつ実用的な回路構成が提供された。

【0085】また、ダイナミック型連想メモリ装置の製造における歩留まりを改善するための現実的な冗長回路構成が提供された。

【図面の簡単な説明】

【図1】この発明の一実施例を示すダイナミック型CAMのブロック図である。

【図2】図1に示したメモリアレイおよびビット線制御回路の回路ブロック図である。

【図3】図2に示した1つのビット線制御回路の回路図である。

【図4】図3に示したビット線制御回路による書込動作を説明するためのタイミングチャートである。

【図5】図3に示したビット線制御回路による読出動作を説明するためのタイミングチャートである。

【図6】図3に示したビット線制御回路によるリフレッシュ動作を説明するためのタイミングチャートである。

【図7】図3に示したビット線制御回路による一致検出動作を説明するためのタイミングチャートである。

【図8】この発明のもう1つの実施例を示すビット線制御回路の回路図である。

【図9】図8に示したビット線制御回路による書込動作を説明するためのタイミングチャートである。

【図10】図8に示したビット線制御回路による読出動作を説明するためのタイミングチャートである。

【図11】図8に示したビット線制御回路によるリフレッシュ動作を説明するためのタイミングチャートである。

【図12】図8に示したビット線制御回路による一致検

21

出動作を説明するためのタイミングチャートである。

【図 13】この発明のさらにもう 1 つの実施例を示すビット線制御回路の回路図である。

【図 14】図 13 に示したビット線制御回路による書込動作および読出動作を説明するためのタイミングチャートである。

【図 15】図 17 および図 18 に示した冗長能動化回路および欠陥ラインプログラム回路の動作を説明するためのタイミングチャートである。

【図 16】この発明のさらにもう 1 つの実施例を示すダイナミック型 CAM の回路ブロック図である。

【図 17】図 16 に示した冗長能動化回路の回路図である。

【図 18】図 16 に示した 1 つの欠陥ラインプログラム回路の回路図である。

【図 19】図 16 に示した通常ビット線回路および冗長ビット線回路の回路図である。

【図 20】この発明のさらにもう 1 つの実施例を示す通常ビット線回路および冗長ビット線回路の回路図である。

【図 21】この発明のさらにもう 1 つの実施例を示す C

22

AM アレイ回路のブロック図である。

【図 22】CAM における検索動作を説明するための概念図である。

【図 23】従来のダイナミック型 CAM セルの回路図である。

【図 24】ダイナミック型 CAM セルにおける書込および読出動作を説明するための回路図である。

【図 25】ダイナミック型 CAM セルにおける一致検出動作を説明するための回路図である。

【符号の説明】

4 CAM セルアレイ

8 ビット線制御回路

12 読出回路

13 書込回路

14 センスアンプ

15 ビット線放電回路

16 ビット線充電回路

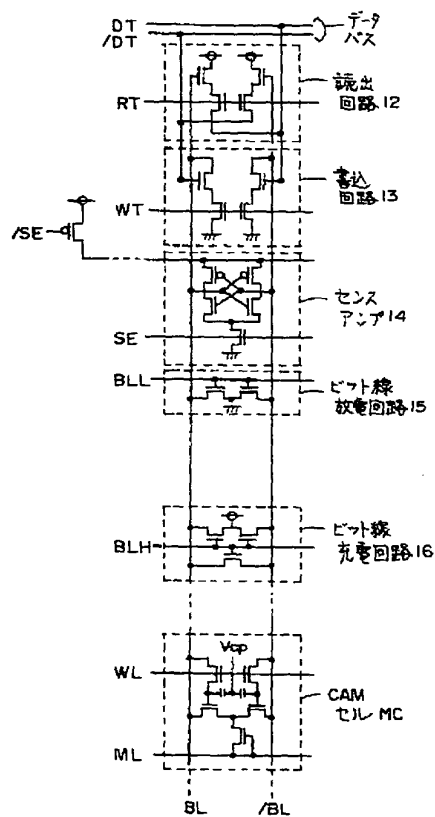
17 トランスファゲート回路

18 書込回路

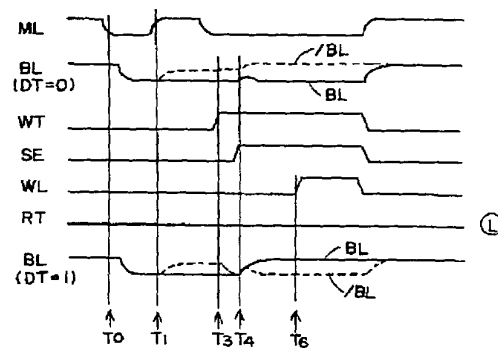
20 BL a, /BL a ビット線対

DT, /DT データ線対

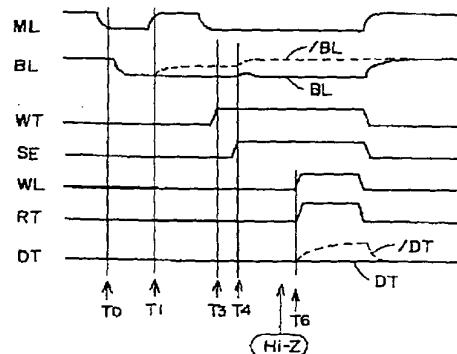
【図 3】



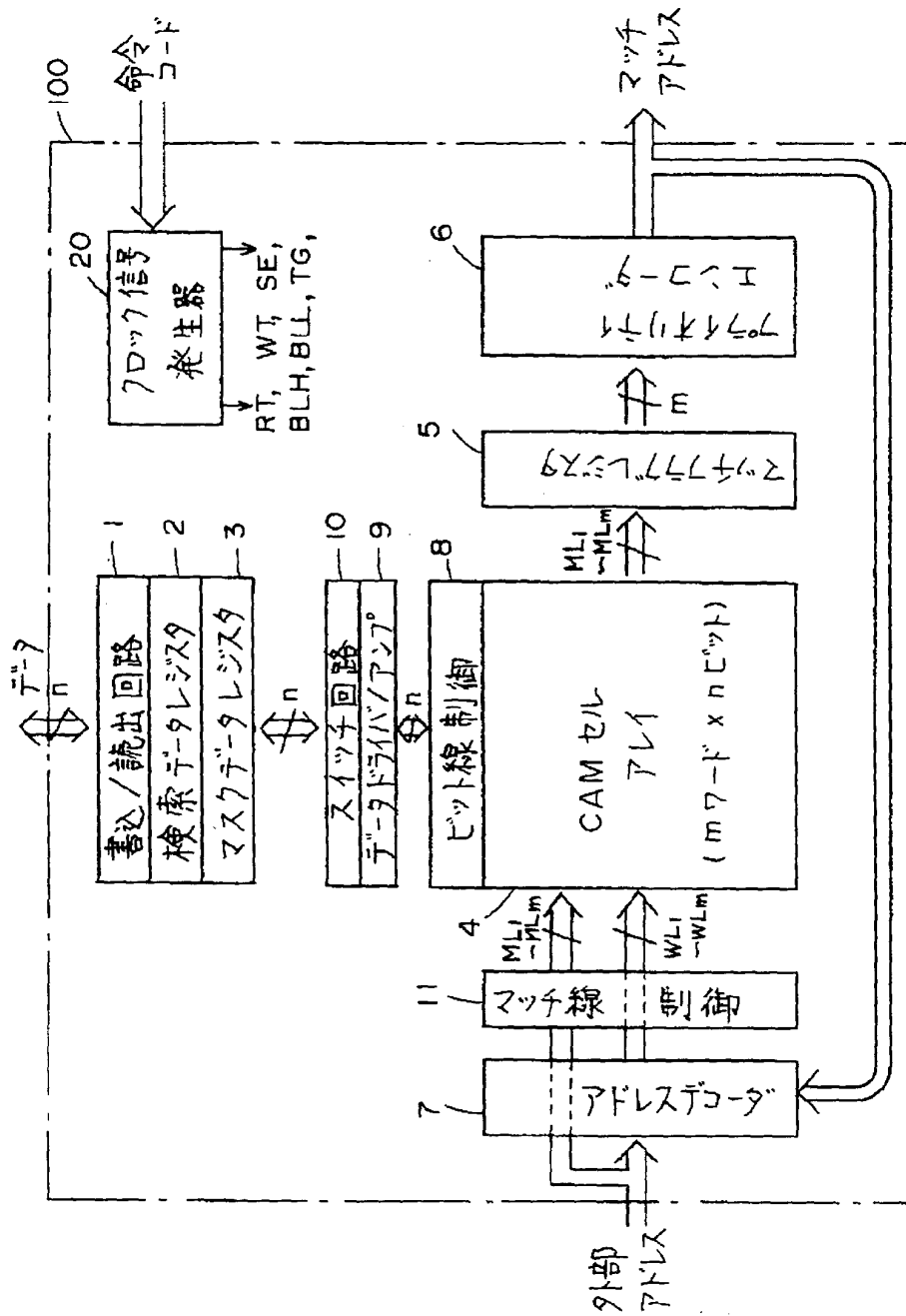
【図 4】



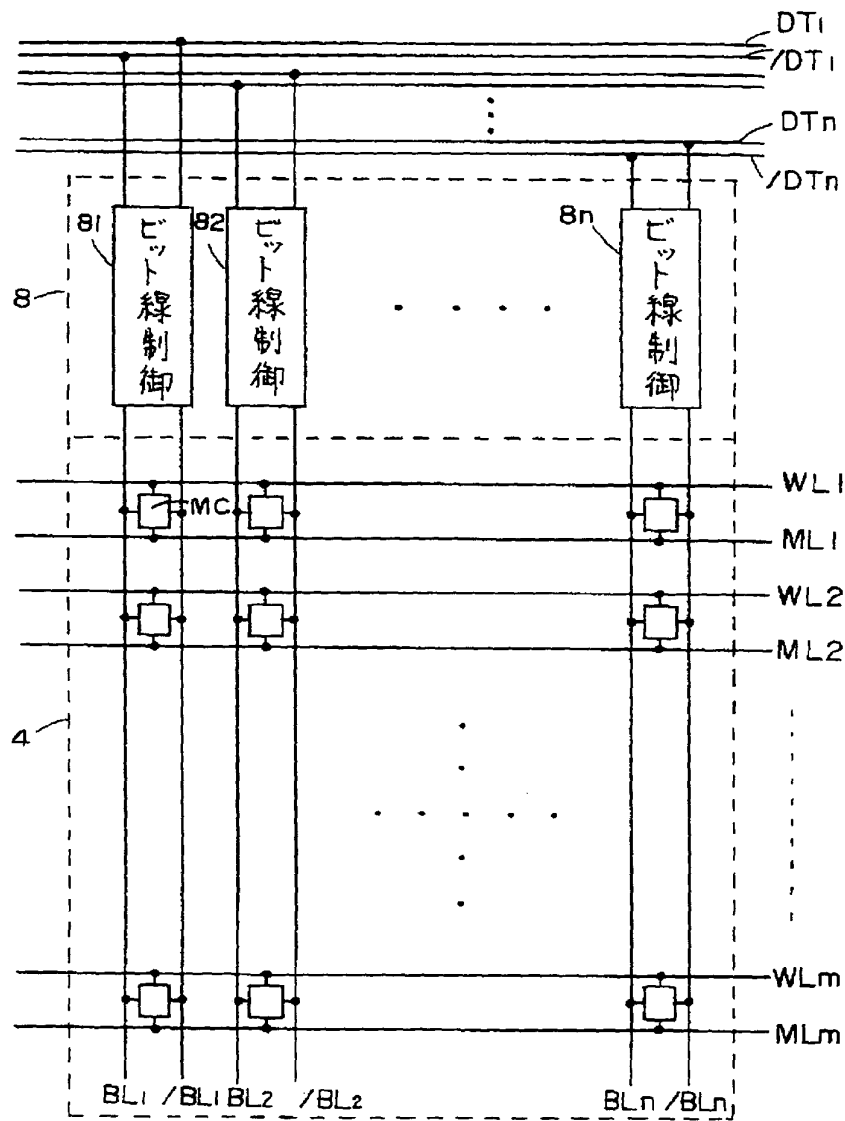
【図 5】



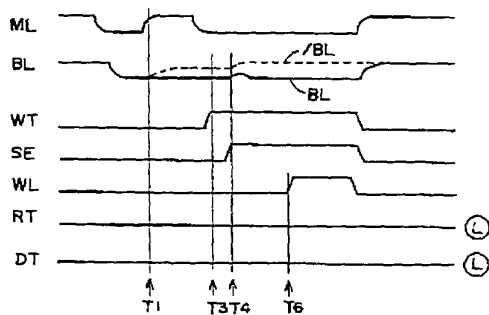
【図1】



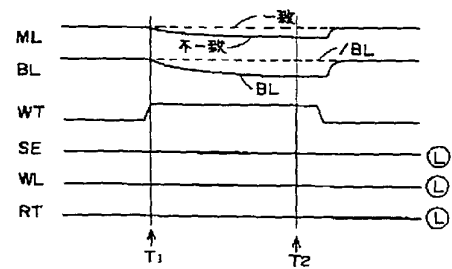
【図2】



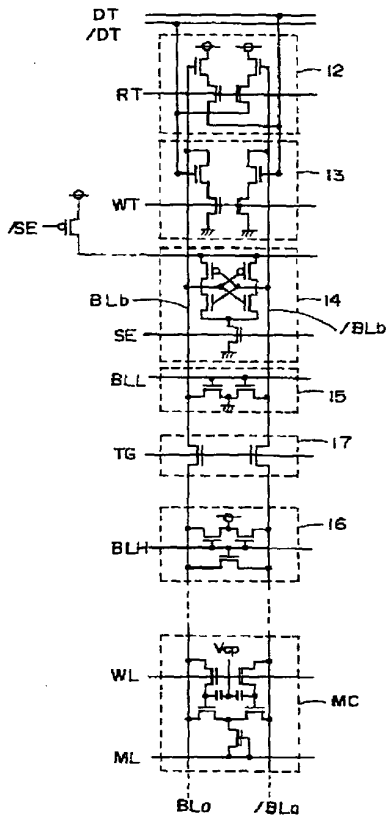
【図6】



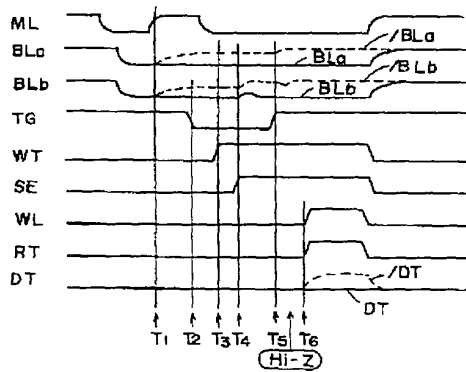
【図7】



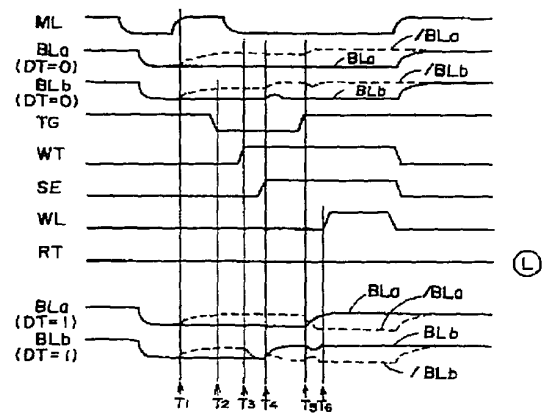
【図 8】



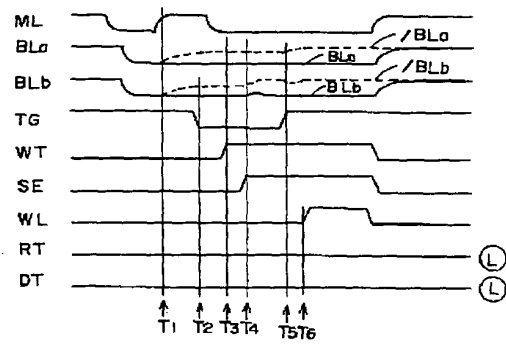
【図 10】



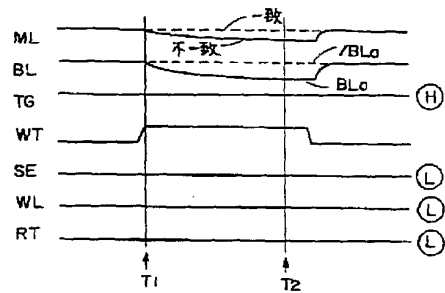
【図 9】



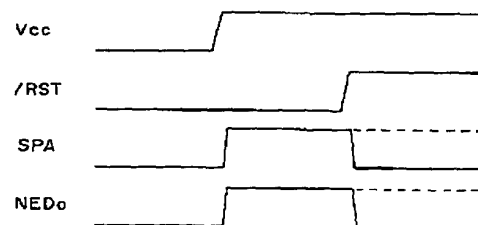
【図 11】



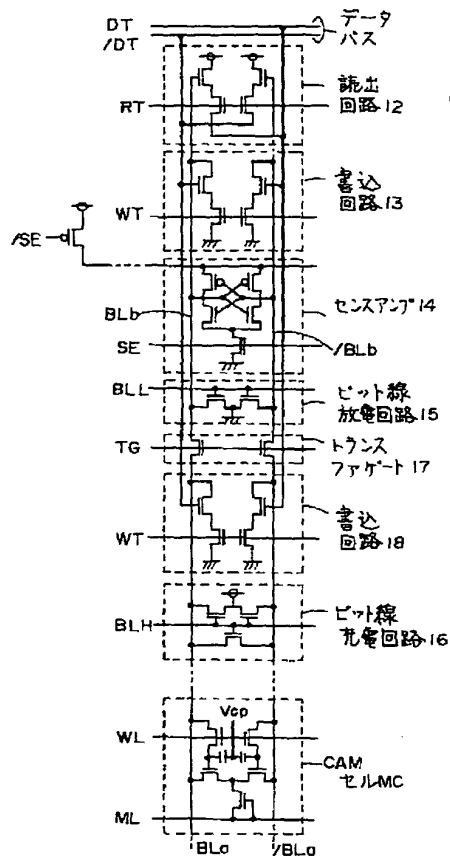
【図 12】



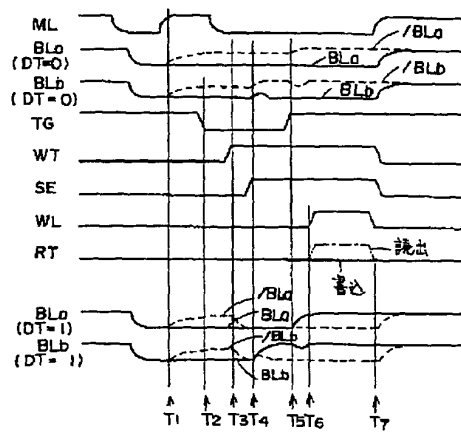
【図 15】



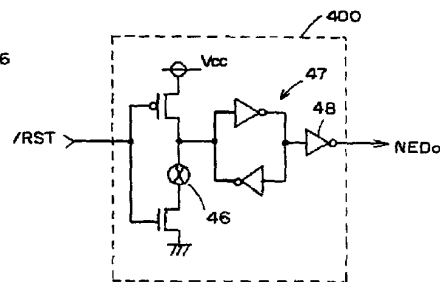
【図13】



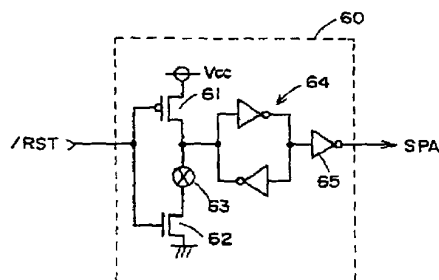
【図14】



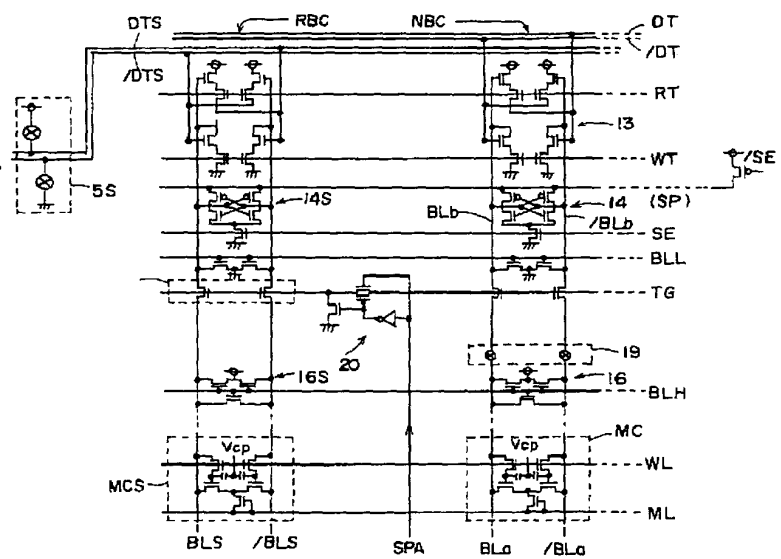
【図18】



【図17】

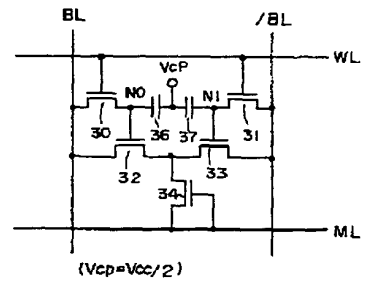


【図19】

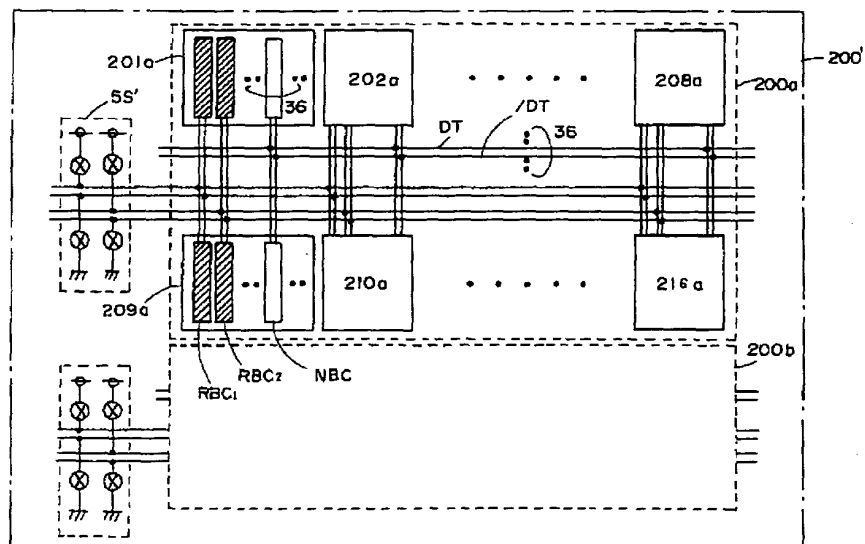


[illegible]

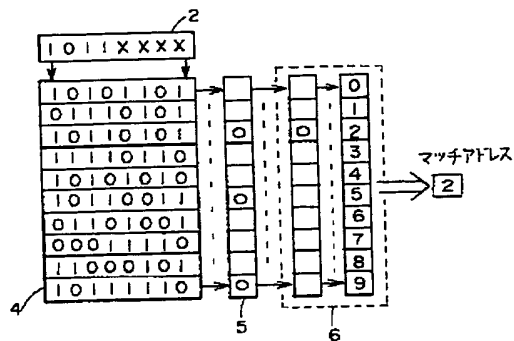
【图 23】



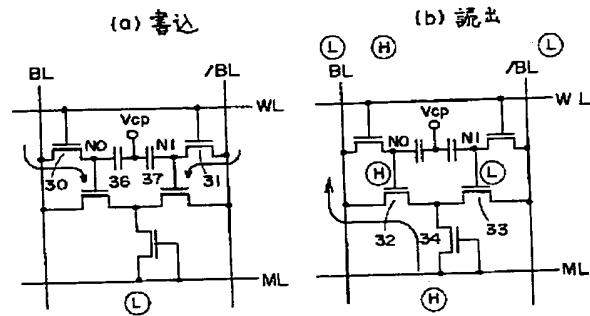
【図 2 1】



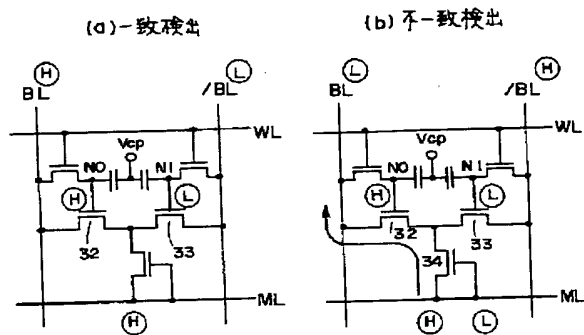
【図 22】



【図 24】



【図 25】



フロントページの続き

(72)発明者 尾崎 英之
兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社エル・エス・アイ研究所内